

Projekt Pospolu

Sekvenční logické obvody – statické posuvné registry

Autorem materiálu a všech jeho částí, není-li uvedeno jinak, je Ing. Jiří Ulrych.

- Hodnoty výstupních proměnných nezávisí pouze na hodnotách vstupních proměnných.
- Sekvenční logický obvod se skládá z části kombinační a paměťové.
- Paměťová část obvodu je realizována kombinačním obvodem se zpětnou vazbou.
- Kombinační obvody se zpětnou vazbou nazýváme bistabilní.
- Obvod uchovává informaci i po změně vstupních hodnot.
- Kromě vstupních hodnot sledujeme i vnitřní stav obvodu.
- Stejně hodnoty převedené na vstup nemusí vyvolat stejnou odezvu na výstupu.

1. Asynchronní

- Při změnách na vstupu je okamžitá odezva do stavu sekvenčního obvodu.
- Rychlost odezvy bude záležet jen na kvalitě elektronického obvodu.

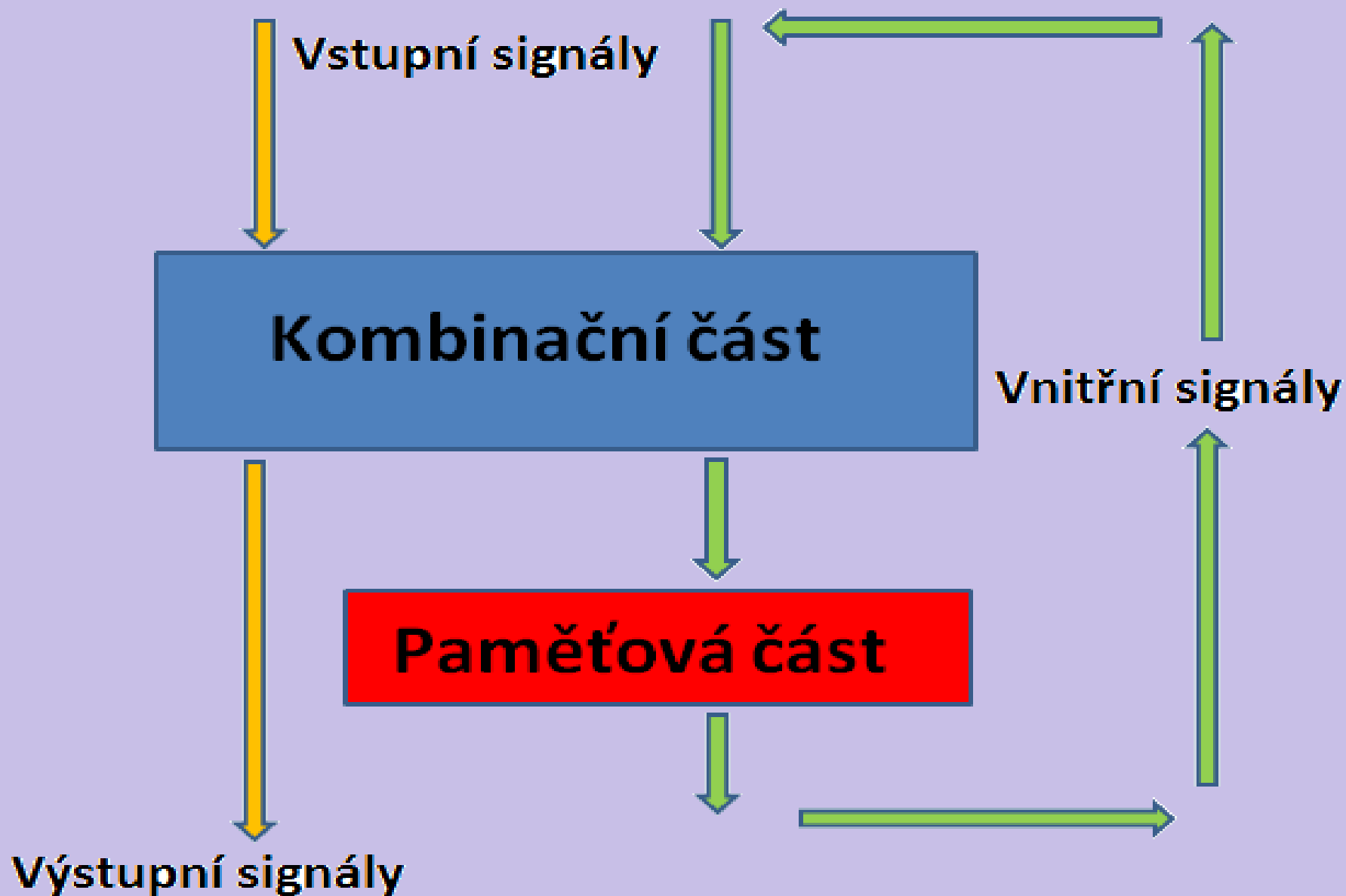
2. Synchronní

- Je zaveden řídící synchronizační hodinový signál.
- Stav obvodu se mění až po změně hodinového signálu.

Podle reakce na řídicí signál:

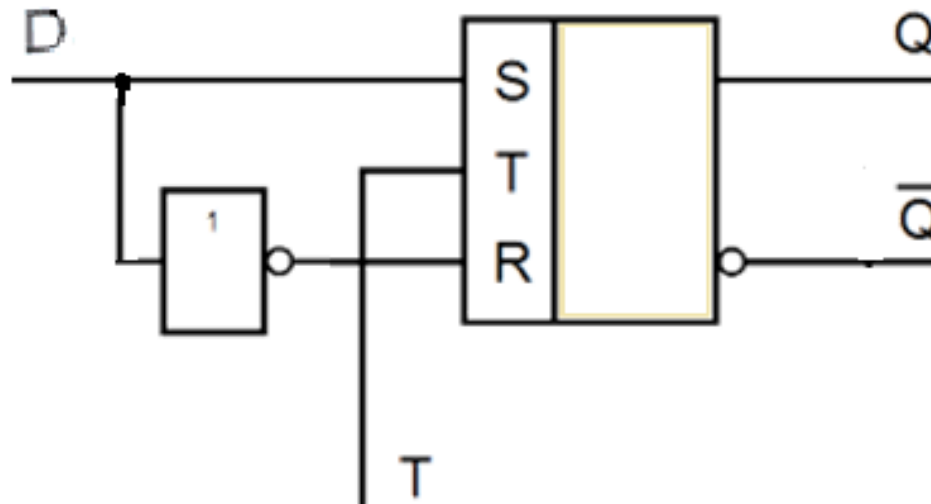
- a) **úrovňové obvody** – obvod reaguje průběžně na změny hodinového signálu
- b) **hranové obvody** – obvod reaguje na vstupní proměnné jen po detekci náběžné nebo sestupné hrany hodinového signálu

- Obecné blokové schéma sekvenčního obvodu je složeno z kombinační a paměťové části.
- Do kombinační části jsou přivedeny vstupní signály a zároveň jsou přivedeny vnitřní signály z paměťových obvodů.
- V paměťové části může dojít k uchování nebo zpoždění informace.
- Při vhodné kombinaci vstupních signálů dochází k jejich vyslání do kombinační části obvodu.



- Statický posuvný registr je sestaven z řady klopných obvodů.
- Každý klopný obvod přenáší informaci ze svého výstupu na vstup dalšího klopného obvodu.
- Obvody jsou řízené čelem taktovacích impulsů.
- Statické posuvné registry jsou složeny z řady klopných obvodů typu **D** a **JK**.

- Klopný obvod D získáme ze synchronního RST obvodu spojením vstupů S a R přes invertor.
- Zapojením zabráníme vzniku zakázaného stavu na výstupu klopného obvodu.



- Klopný obvod JK znamená určité vylepšení původního klopného obvodu RS.
- Na rozdíl od klopného obvodu D zachovává klopný obvod JK oba řídicí signály pro nastavení a nulování.
- V tomto případě označujeme J jako nastavení.
- Vstup K označujeme jako nulování.
- V klopném obvodu JK je zavedena zpětná vazba z výstupů.

Klopný obvod JK sestavený z hradel NAND

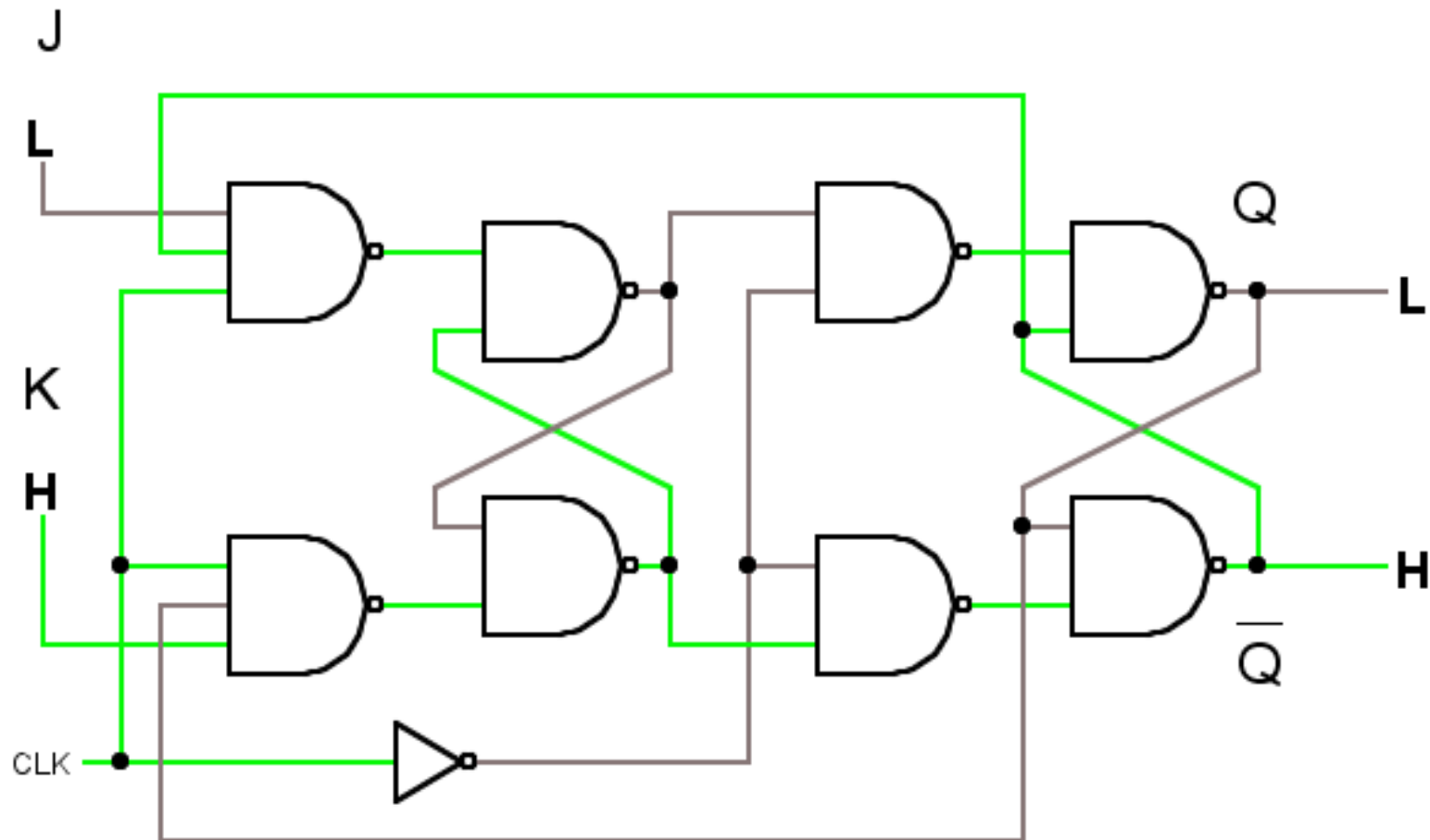
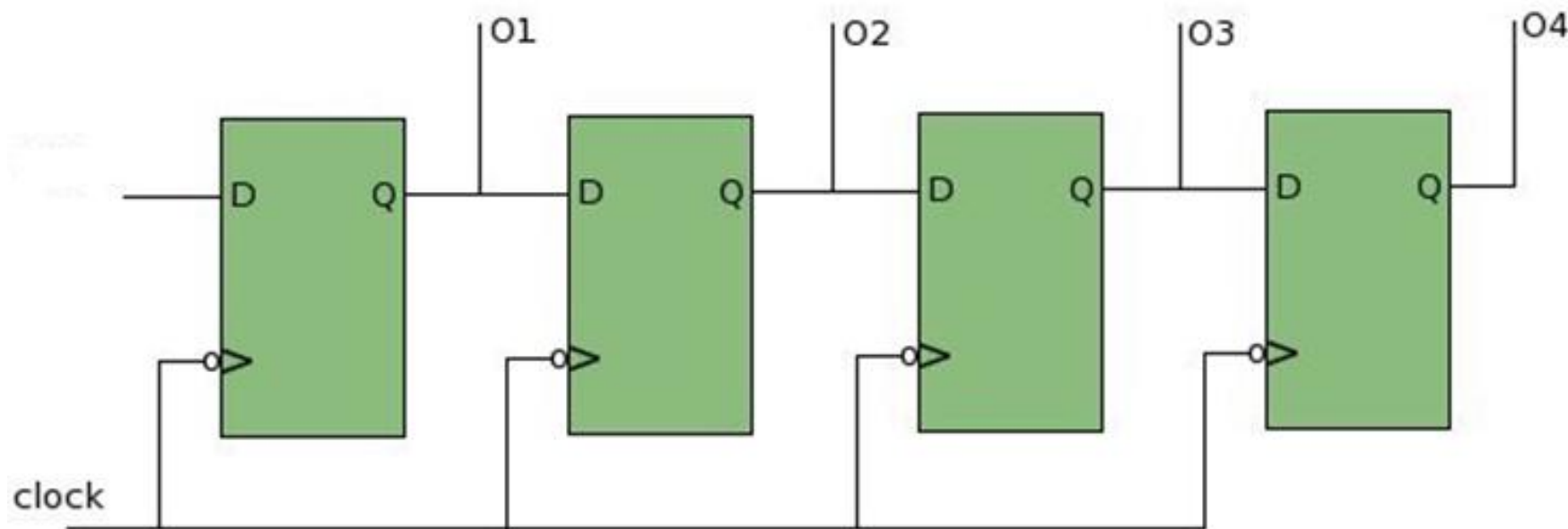
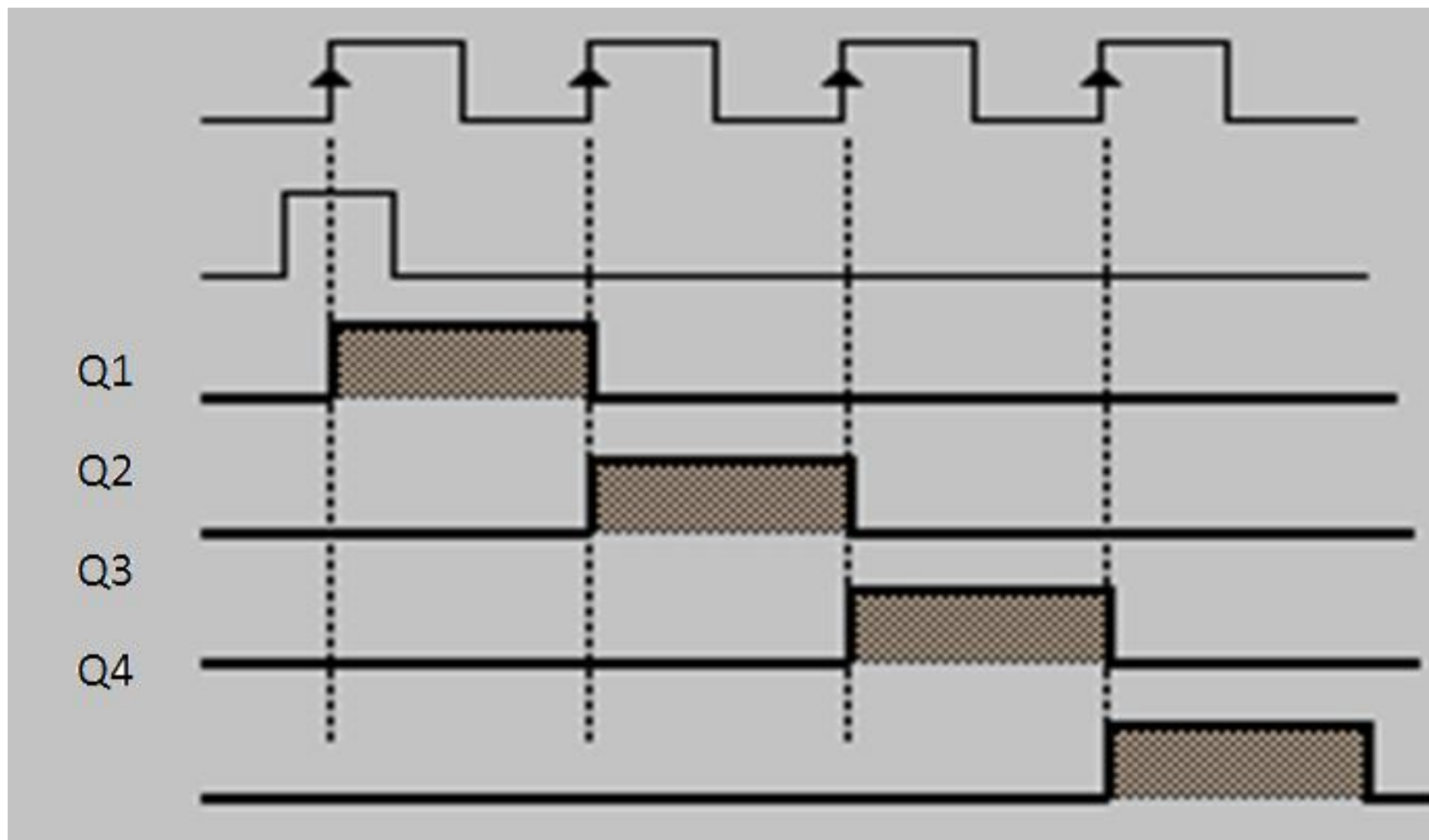


Schéma sestaveno v simulačním prostředí logických obvodů.

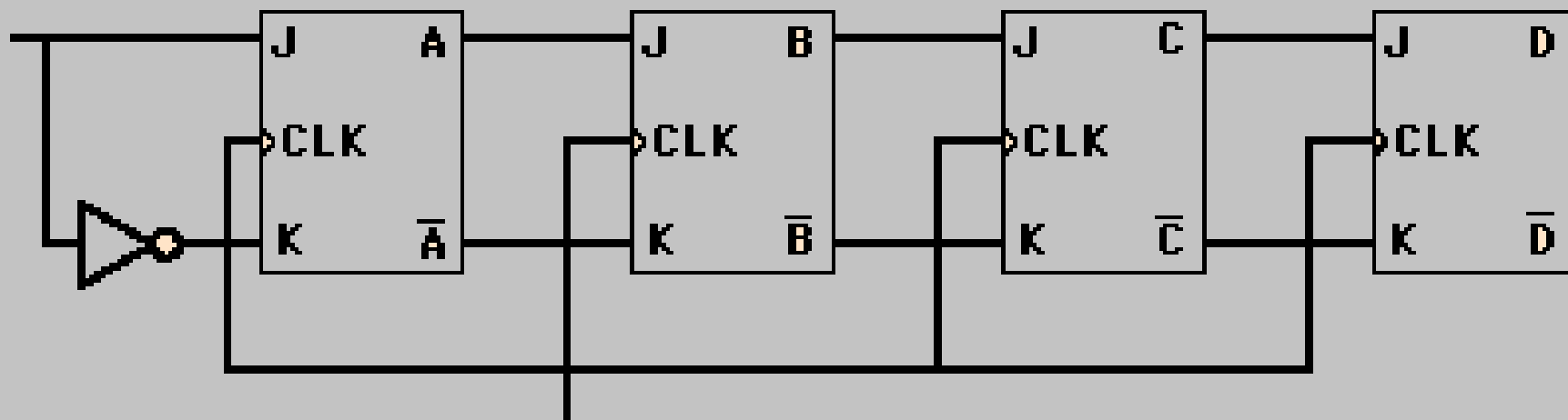


- Registr sestavený z klopných obvodů D.
- Obvody jsou řízeny čelem taktovacích impulsů.



Časový diagram posuvu vstupní informace - popis

- Na vstupu je detekována logická jednička.
- Po příchodu čela taktovacího impulsu je převedena na výstup Q1 prvního klopného obvodu.
- K dalšímu posunu dochází během opětovného náběhu čela dalšího taktovacího impulsu.
- Logická jednička postupuje registrem pokaždé s náběhem čela taktovacího impulsu.



- Posuvný registr může být složen i z JK klopných obvodů.
- Výstupy ABC jsou spojeny se vstupy J následujícího obvodu.
- Výstupy negace ABC jsou spojeny se vstupy K.

Úkol č. 1: Popište základní charakteristické rysy sekvenčního logického obvodu.

Úkol č. 2: Popište rozdíl mezi asynchronním a synchronním logickým obvodem.

Úkol č. 3: Popište rozdíl mezi hranovým a úrovněvým obvodem.

Úkol č. 4: Jak získáme klopný obvod D?

Úkol č. 5: Jaký je rozdíl mezi D a JK klopným obvodem?

Úkol č. 6: Popište stručně funkci statických posuvných registrů.